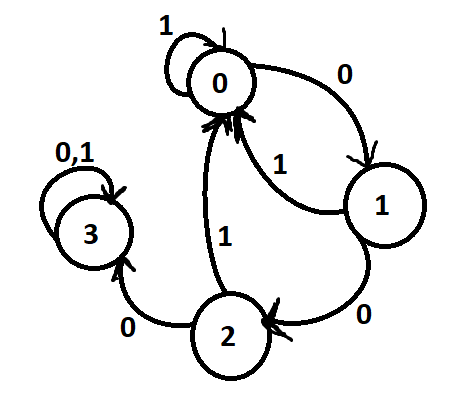
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Politechnika Bydgoska im. J.J. Śniadeckich w Bydgoszczy  Wydział Telekomunikacji, Informatyki i  Elektrotechniki  Zakład Informatyki Stosowanej i Inżynierii Systemów | |  | |
| Przedmiot | Układy cyfrowe | | Kierunek/ Tryb | IS /  ST |
| Temat | Układ potęgujący | |  | |
| Imię i nazwisko: | Nikodem Gębicki | |  | |
| Numer lab. | 6 | Data oddania sprawozdania: | 16.06.2023 | |

# Cel ćwiczenia

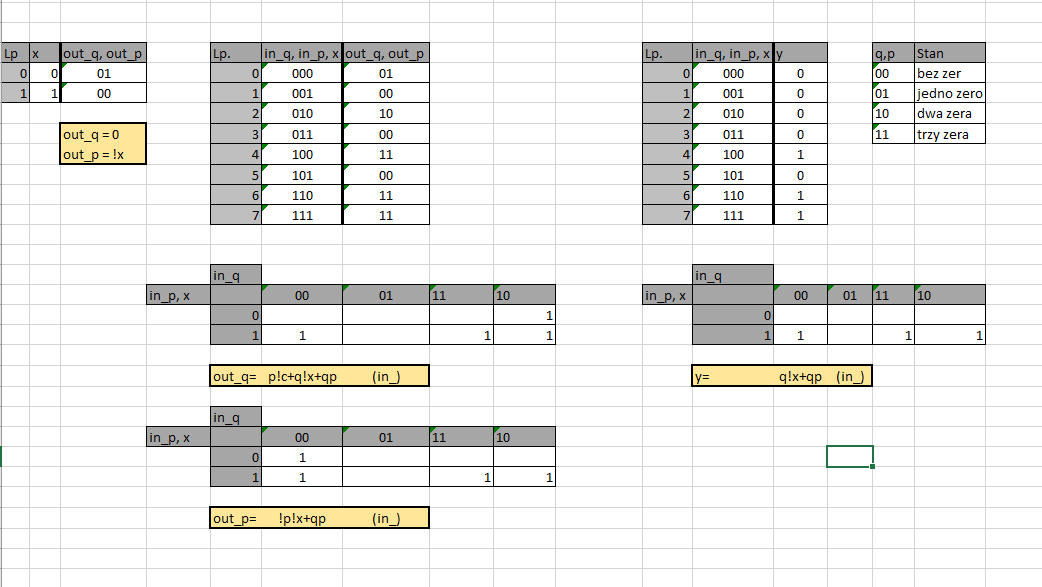
Zaprojektować i zoptymalizować układ iteracyjny wykrywający sekwencję 3 zer.

# Przebieg

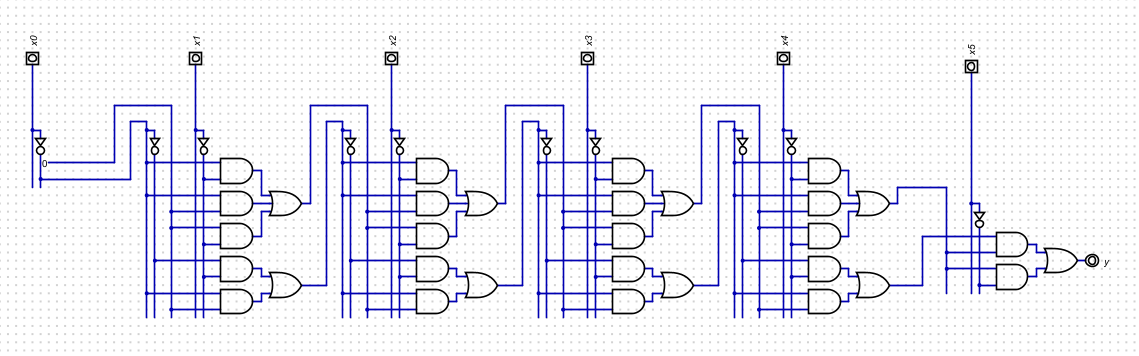
## Diagram



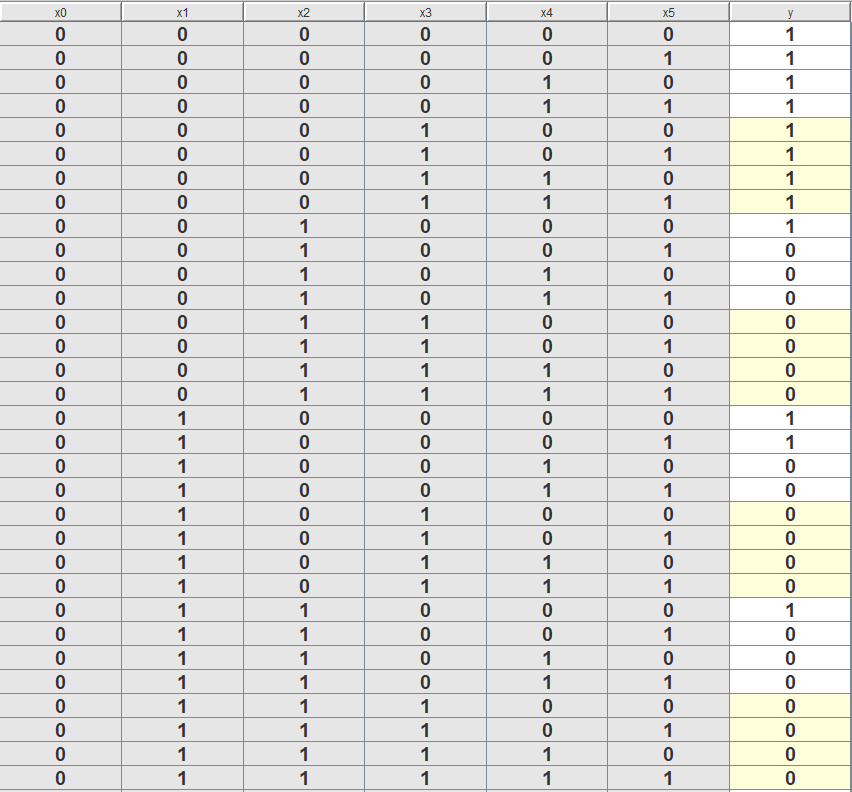
## Tabela prawdy, tabelki Karnaugh i postać zoptymalizowana

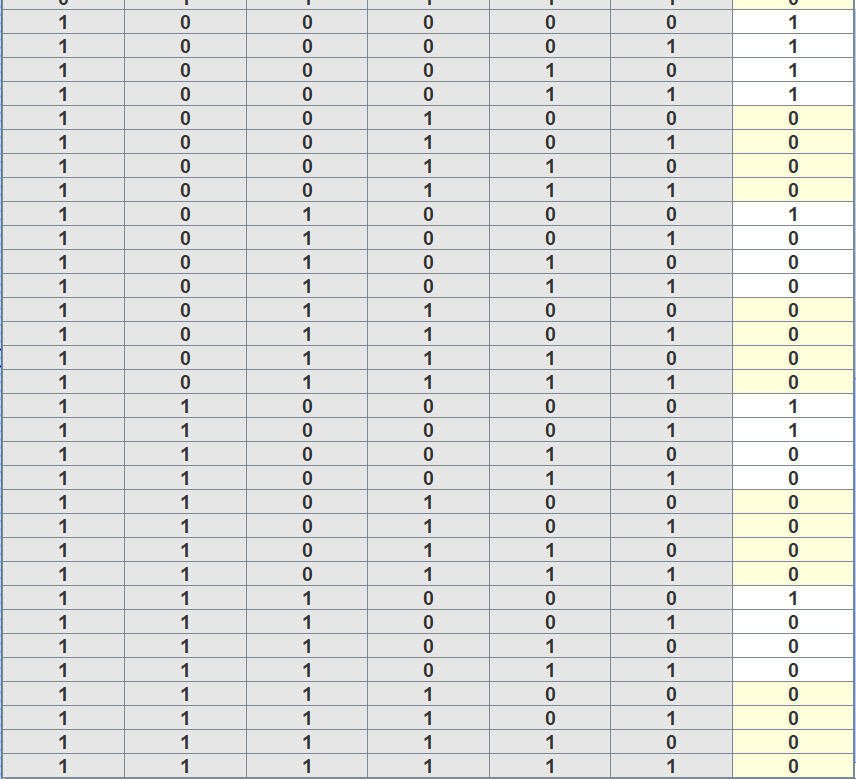


## Układ



## Testy (Analiza układu wykonana przez program Digital)





# Wnioski

Układ iteracyjny składa się z modułów i nie jest synchronizowany zegarem, każdy bit wejściowy analizowany jest w tym samym czasie.